

⑨日本国特許庁 (JP)

⑩特許出願公開

⑪公開特許公報 (A)

昭64-76755

⑫Int.Cl.

H 01 L 27/08
29/78

識別記号

3 2 1
3 0 1

序内整理番号

Z-7735-5F
Q-8422-5F

⑬公開 昭和64年(1989)3月22日

審査請求 未請求 発明の数 3 (全6頁)

⑭発明の名称 半導体装置

⑮特 願 昭62-232209

⑯出 願 昭62(1987)9月18日

⑰発明者 保川 彰夫

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

⑱出願人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

⑲代理人 弁理士 小川 勝男

外1名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. シリコン基板に形成されたPチャンネル電解効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板の表面を<110>面とし、前記素子をそのPチャンネル電流方向が<110>方向となるように配置することを特徴とする半導体装置。
2. シリコン基板に形成されたPチャンネル電解効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板を<110>面のシリコンウエハから一边の方向が<111>方向となるような方向に切り出し、前記素子のソース電極、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。
3. シリコン基板に形成されたPチャンネル電解効果トランジスタ素子を有する樹脂封止型の半

導体装置において、前記シリコン基板を<111>面のシリコンウエハから一边の方向が<111>方向となるような方向に切り出し、前記素子のソース電極、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。

3. 発明の詳細な説明

(発明上の利用分野)

本発明は、樹脂封止型のシリコン電解効果トランジスタ(以下、FET)に係り、特に、CMOS構造の半導体装置の構造に関する。

(従来の技術)

従来の装置は、特開昭57-84176号公報に記載のように、裏面を第4回に示したような、(100)面の単結晶シリコンを用いている。そして、シリコン基板1の上に、PチャンネルFETのソース電極5、ゲート電極6、ドレイン電極7と、NチャンネルFETのソース電極10、ゲート電極11、ドレイン電極12が、ともに<110>方向に並べて、形成されていた。

(1)

(2)

この装置のPチャンネルFETを含む裏面の側面断面図を、第5回に示す。N型のシリコン基板1の表面の一部に、P型の領域2, 3が形成される。これらの上には、穴を有する絶縁膜4が形成される。この上には、導体5, 6, 7が形成され、それぞれ、ソース電極、ゲート電極、ドレイン電極となる。これらの上には、保護膜8が形成される。さらに、これらは、樹脂9によつておおわれる。

ここで、シリコン基板1と樹脂9の熱膨脹係数は、大きく異なるため、樹脂封止後の冷却または使用時の温度変化などにより、シリコン基板表面には、大きなせん断応力 δ が生じる。

この応力により、FETのチャンネル電場 E は変化することになる。チャンネル電場 E の主成分は、シリコン基板表面に平行に流れる。一方、電場 E の主成分は、シリコン基板1の表面に垂直な方向に加わっている。この場合、応力による電場変化は、次式で表される。

(3)

〔問題点を解決するための手段〕

上記目的は、(110)面のシリコン基板を用い、PチャンネルFET素子を、そのチャンネル電場方向が<110>方向となるように配置することにより、達成される。

本願第1発目の発明に係る半導体装置は、シリコンに形成されたPチャンネルFET素子を有する樹脂封止型の半導体装置において、前記シリコンの表面を(110)面とし、前記PチャンネルFET素子を、そのチャンネル電場方向が<110>方向となるように配置することを特徴とする。この場合においては同じシリコンにNチャンネルFET素子も形成し、このNチャンネルFET素子をそのチャンネル電場方向が<100>方向となるように配置することが望ましい。

本願第2発目の発明に係る半導体装置はシリコン基板に形成されたPチャンネルFET素子を有する樹脂封止型の半導体装置において、前記シリコン基板を(110)面のシリコンウェハから、1辺の方向が<111>方向となるような方向に

(5)

$$\frac{\Delta \delta}{i} = -\pi \cdot \epsilon \epsilon' \quad \dots (1)$$

ここに、 $\Delta \delta$ は応力による電場変化、 i は応力 σ での電流、 $\epsilon \epsilon'$ はピエゾ抵抗係数の成分の一つ、 ϵ はせん断応力である。

$\epsilon \epsilon'$ を各種結晶面の各種方位について解析した結果を、第6回～第9回に示す。

〔発明が解決しようとする問題点〕

第6回より、(100)面のPチャンネルの場合、 $\epsilon \epsilon'$ は非常に大きくなる。従来の装置では、(100)面を用いていたため、応力による電場変化が大きくなっていた。このため、樹脂封止や使用時に特性が変動し、設計通りの安定した特性が得られないという問題があつた。

上記従来技術は、樹脂から加わる応力による特性変動の点について配慮が十分でなく、安定した特性が得られないという問題があつた。

本発明の目的は、樹脂から加わる応力による特性変動が小さく、安定した特性を有する半導体装置を得ることにある。

(4)

切り出し、前記PチャンネルFET素子のソース電極、ゲート電極、ドレイン電極をこの方向に並べて配置したことを特徴とする。この場合においては同じシリコン基板上にNチャンネルFET素子も形成し、もう1つの辺の方向を<211>方向に切り出し、前記NチャンネルFET素子のソース電極、ゲート電極、ドレイン電極をこの方向に並べて配置することが望ましい。

本願第3発目の発明に係る半導体装置はシリコン基板に形成されたPチャンネルFET素子を有する樹脂封止型の半導体装置において、前記シリコン基板を(211)面のシリコンウェハから、1辺の方向が<111>方向となるような方向に切り出し、前記PチャンネルFET素子のソース電極、ゲート電極、ドレイン電極をこの方向に並べて配置したことを特徴とする。この場合においては、同じシリコン基板上にNチャンネルFET素子も形成し、もう1つの辺の方向を<110>方向に切り出し、前記NチャンネルFET素子のソース電極、ゲート電極、ドレイン電極をこの方

(6)

前に並べて配置することが望ましい。

(作用)

樹脂封止型の PET 管子の応力による特性疲労で重要なビエゾ抵抗係数 $\times 10^3$ は、 P チャンネルの場合、 (110) 面の <110> 方向で最小となる。したがつて、応力による特性疲労が最小となるので、安定した特性が得られる。

〔表範例〕

以下、本発明の実施例を図面に従つて説明する。
 第1回において、第4回と同一符号のものは、
 図一部分を示す。第1回が第2回と異なる点は、
 シリコン基板1に[110]面を用いており、P
 チャンネルFETのソース電極5、ゲート電極6、
 ドレイン電極7が<110>方向に配列され、P
 チャンネル電流が<110>方向に流れるように
 なつており、NチャンネルFETのソース電極
 10、ゲート電極11、ドレイン電極12が
 <100>方向に配列され、Nチャンネル電流が
 <100>方向に流れようになつてゐる点であ
 る。

{7}

本実施例では、シリコン基板1に(100)面を用いているのは、前の例と同じであるが、1辺が<111>方向となり、この方向にPチャンネルFETのソース電極5、ゲート電極6、ドレイン電極7を配置し、戸テヤンネル電流が<111>方向に流れるようにしてある。一方、もう1つの辺は、<112>方向となつており、この方向にNチャンネルFETのソース電極10、ゲート電極11、ドレイン電極12を配置し、Nチャンネル電流が<211>方向に流れるようにしてある。

本実験例は、第7回からわかるように、鈴木安定性の面で最近ではないが、從来と比較するとかなりの改善が見られる。本実験例では、これに加えて、生産性を向上できるという効果がある。

シリコン基板1は、シリコンウエハから切り出して、作られる。<110>面のシリコンウエハの場合、結晶の性質から、シリコン基板1の一つの辺の方向を<111>、これと直交する辺の方向を<211>として、切り出すのが、生産性が高い。この半導体基板1の上に、辺の方向と傾け

{ 8 }

本実施例においても、PチャンネルFETを含む要部の側面断面形状は、第5図に示すのと同じになり、応力によるチャンネル電流変化も、(1)式で表される。ただし、ビエゾ抵抗係数 α_{PVDF} の値は、シリコン基板1の面が異なるため、異なる。

ビエゾ抵抗係数 ϵ_{zz} の値は、第6回～第9回より、Pチャンネルの場合、(110)面の
 $<110>$ 方向で最小になることがわかる。本実験例では、Pチャンネルの電流方向がこの方向となつてゐるので、応力による電流変化が最小となる。この結果、安定した特性が得られる。

なお、同一のシリコン基板上に、NチャネルFETも形成する必要がある場合には、第7回より、Nチャンネルの ϕ_{bb} は(110)面の<100>方向で最小となるので、この方向にNチャンネルの電流方向が一致するようにすればよい。本実施例では、このようになるように、NチャンネルFETが配置されている。

第2回は、本発明の別の実施例の要部を示す回である。

{ 8 }

て、<110>と<100>方向に、それぞれPチヤンネルFETとNチヤンネルFETのチヤンネル電極を施す方法も考えられる。しかし、こうすると、電極を辺に対して傾めに配置しなければならず、シリコン基板1の表面の中に、有効に活用できない部分がでてくるため、同じ数の素子を組み込むためのシリコン基板1の面積が大きくなってしまう。そこで、シリコン基板1の辺の方向<111>と<211>方向にそれぞれPチヤンネルFETとNチヤンネルFETの電極を施されば、シリコン基板1の表面を有効に使えるため、シリコン基板1の面積が小さくなります。また、<111>と<211>方向は、加工性が良いため、歩止りも向上し、コスト的にも有利である。

本実験例では、シリコン基板 1 を〔211〕面のシリコンウエハから、1辺の方向が<111>方向となるように切り出しており、Pチャンネル FET 電子のソース電極 5、ゲート電極 6、ドレ

(10)

イン電極7を、この方向に並べて配置することにより、Pチャンネル電流がこの方向に流れようとしている。また、もう一つの辺の方向が<110>方向となるようにしており、NチャンネルPET粒子のソース電極8、ゲート電極9、ドレイン電極10をこの方向に並べて配置することにより、Nチャンネル電流がこの方向に流れるようにしている。

前の実施例と同じ考え方で、第9回から、本実施例でも十分な効果があることがわかる。また、第8回から、本実施例では、多少角度がずれても感度の変化が小さいことがわかる。したがつて、加工精度が多少低くてもよいため、生産が容易であるという利点がある。

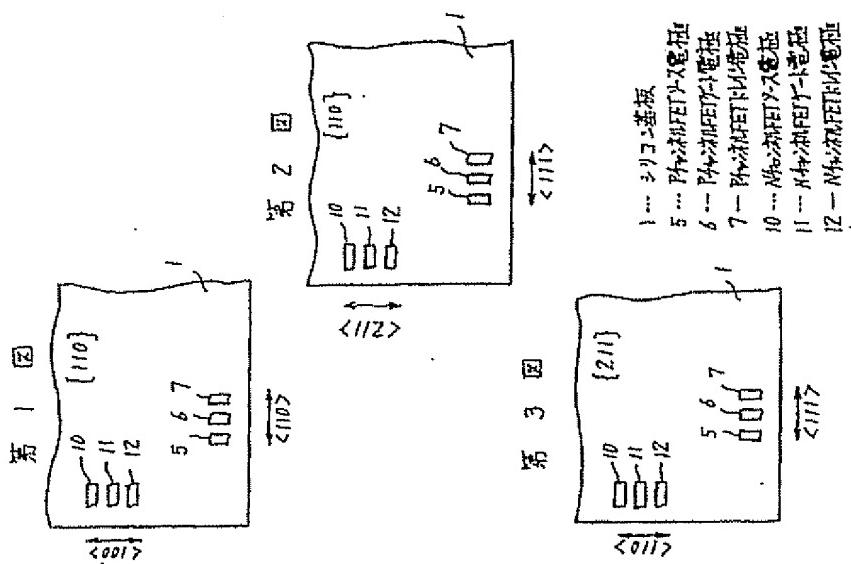
(発明の効果)

本発明によれば、樹脂封止後の冷却や使用時の温度変化などで生じる応力による粗粒度変動を小さくできるので、安定した特性が得られるという効果がある。

4. 図面の簡単な説明

(11)

(12)

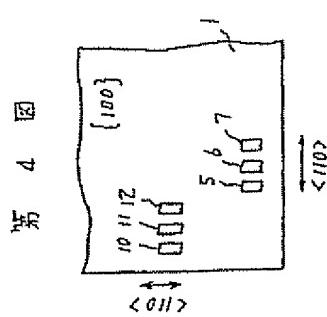


第1回、第2回、第3回は夫々本発明の実施例に係る半導体装置のシリコン基板部の平断面図、第4回は従来例に係るシリコン基板部の平断面図、第5回は一般的な半導体装置の翼部耐熱面図、第6回、第7回、第8回、第9回は夫々ビエゾ抵抗係数の各種結晶面における面内方位依存性を示す特性図である。

1…シリコン基板、2、3…P型領域、4…絶縁板、5…PチャンネルPETソース電極、6…PチャンネルPETゲート電極、7…PチャンネルPETドレイン電極、8…保護膜、9…樹脂、10…NチャンネルPETソース電極、11…NチャンネルPETゲート電極、12…NチャンネルPETドレイン電極。

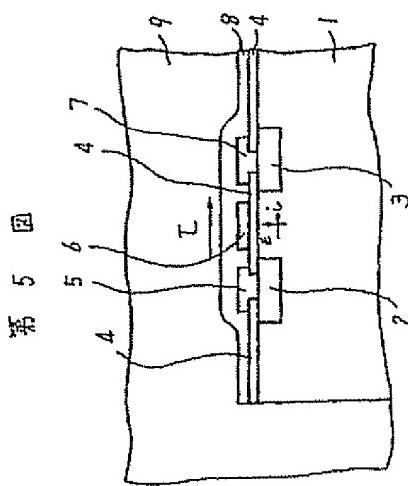
代理人 井原士 小川勝男

第4図

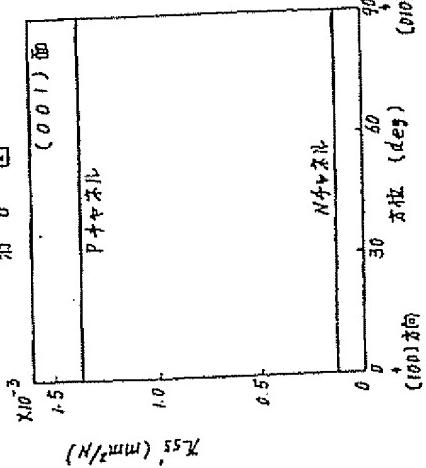


1...シリコン基板
2,3...P型領域
4...絶縁膜
8...保護膜
9...樹脂

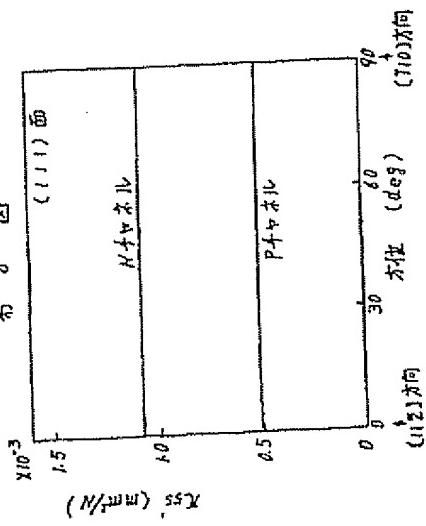
第5図



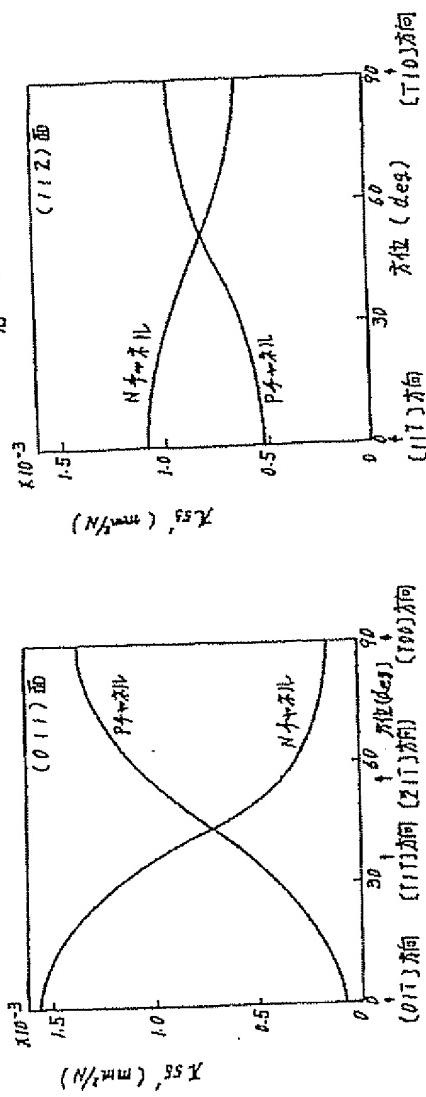
第6図



第8図



第9図



手続補正書(自発)

(2) 明細書第9頁第1行目「(100)」を

特許庁長官殿

63 1 22

「(110)」に訂正する。

1. 事件の表示

以上

昭和62年特許第232200号

2. 発明の名称

半導体装置

3. 補正をする者

特許出願人

株式会社日立製作所

4. 代理人

氏名 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内 電話 211-1111(本社)

姓氏 (6802) 在籍 小川耕男

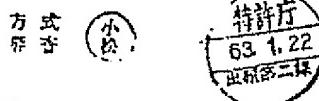
5. 補正の対象 明細書の「特許請求の範囲」、及び
「発明の詳細な説明」の項。

6. 補正の内容

① 特許請求の範囲を別紙の通りに補正する。

(2)

別紙



2. 特許請求の範囲

1. シリコン基板に形成されたPチャンネル電界効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板の裏面を(110)面とし、前記素子をそのPチャンネル電流方向が<110>方向となるように配置することを特徴とする半導体装置。

2. シリコン基板に形成されたPチャンネル電界効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板を(110)面のシリコンウエハから一辺の方向が<111>方向となるような方向に切り出し、前記素子のソース底板、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。

3. シリコン基板に形成されたNチャンネル電界効果トランジスタ素子を有する樹脂封止型の半導体装置において、前記シリコン基板を(211)面のシリコンウエハから一辺の方向が<111>

方向となるような方向に切り出し、前記素子のソース電極、ゲート電極及びドレイン電極をこの方向に並べて配置することを特徴とする半導体装置。

(1)

(2)